

METHOD AND APPARATUS FOR CONSTITUTION OF MEMORY CIRCUIT

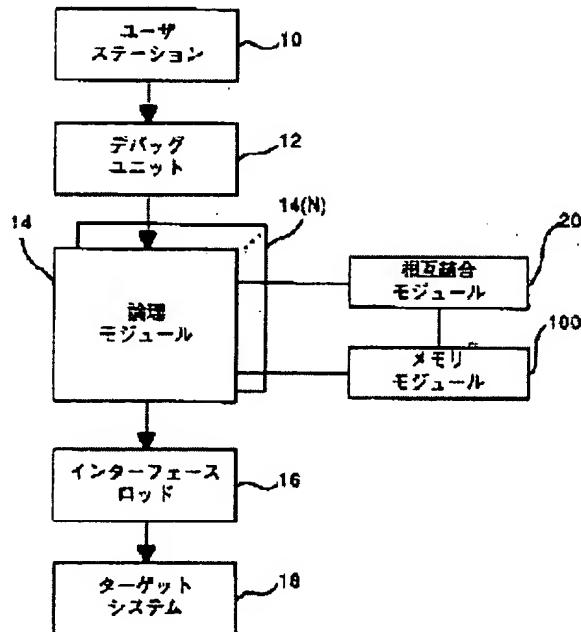
Patent number: JP7073066
Publication date: 1995-03-17
Inventor: TOOMASU BII HIYUAN
Applicant: PIE DESIGN SYST INC
Classification:
 - **international:** G06F17/50; G06F11/22
 - **european:** G06F11/22; G06F17/50C3E; G11C7/00; G11C8/16
Application number: JP19940142973 19940624
Priority number(s): US19930082051 19930624

Also published as:
 GB2280524 (A)
 FR2709006 (A1)
 DE4420610 (A1)

[Report a data error here](#)

Abstract of JP7073066

PURPOSE: To further easily constitute a memory circuit for emulating prototype circuit design. **CONSTITUTION:** The definition of the memory circuit is executed at a static memory circuit having three bidirectional access ports. In this case, the respective ports are constituted for read access and write access. Concerning the definition of this memory circuit, the first capacity, depth, width and bank selection are defined according to predetermined constitutive values and concerning the respective access ports, it is defined whether the access port is constituted for read/write or not. The port access occurs between time slots and the time slot is based on an external clock signal and memory circuit access time. The different memory circuit definition can be executed so as to reconstitute the access ports according to it.



Data supplied from the [esp@cenet](#) database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-73066

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl.
G 06 F 11/22
17/50

識別記号 340 A

7623-5L

F I

G 06 F 15/ 60

技術表示箇所

360 D

審査請求 未請求 請求項の数30 O L (全 14 頁)

(21)出願番号 特願平6-142973

(22)出願日 平成6年(1994)6月24日

(31)優先権主張番号 082051

(32)優先日 1993年6月24日

(33)優先権主張国 米国(US)

(71)出願人 594086439

ピエ・デザイン・システムズ・インコーポ

レイテッド

P I E D E S I G N S Y S T E M S,
I N C.

アメリカ合衆国94043カリフォルニア州マ
ウンテン・ビュー、クライド・アベニュー
440番

(72)発明者 トマス・ピー・ヒュアン

アメリカ合衆国95132カリフォルニア州サ
ンノゼ、ビナクル・コート3526番

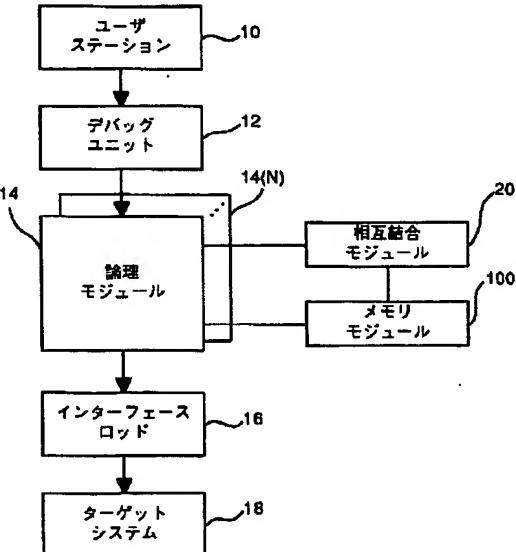
(74)代理人 弁理士 青山 葉 (外2名)

(54)【発明の名称】 メモリ回路構成法および装置

(57)【要約】

【目的】 プロトタイプ回路設計をエミュレートするためにメモリ回路をさらに容易に構成可能にする。

【構成】 メモリ回路の定義が、3個の双方向アクセスポートを有するスタティックメモリ回路において実行される。ここに、各ポートは、リードアクセスとライトアクセスのために構成される。このメモリ回路の定義は、あらかじめ決定された構成値に従って、最初の容量、深さ、幅、バンク選択を定義し、また、各アクセスポートに対して、アクセスポートがリードまたはライトのために構成されているか否かを定義する。ポートアクセスは、タイムスロットの間に起こり、タイムスロットは、外部のクロック信号とメモリ回路アクセス時間とに基づく。異なったメモリ回路定義は、アクセスポートがそれに従って再構成されるように実行できる。



【特許請求の範囲】

【請求項1】 それぞれ複数のアクセスポートを有する複数のメモリ回路を用意するステップと、用意されたメモリ回路の中の少なくとも1つのメモリ回路においてメモリ回路定義を実行するステップと、実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードとライトのために、構成するステップとからなるメモリ回路構成法。

【請求項2】 請求項1に記載された方法において、各メモリ回路が少なくとも1つのスタティックメモリセルからなる方法。

【請求項3】 請求項1に記載された方法において、各アクセスポートが、上記のメモリ回路定義に従って構成される双方向スイッチからなることを特徴とする方法。

【請求項4】 請求項1に記載された方法において、3個のみのアクセスポートが各メモリ回路に備えられることを特徴とする方法。

【請求項5】 請求項1に記載された方法において、上記のメモリ回路定義は、上記の用意されたメモリ回路の少なくとも1つにおいて始めの記憶容量を定義することを特徴とする方法。

【請求項6】 請求項1に記載された方法において、上記のメモリ回路定義は、上記の用意されたメモリ回路の少なくとも1つにおいて記憶深さと記憶幅を定義することを特徴とする方法。

【請求項7】 請求項1に記載された方法において、上記のメモリ回路定義は、上記の用意されたメモリ回路の少なくとも1つにおいて記憶バンク選択を定義することを特徴とする方法。

【請求項8】 請求項1に記載された方法において、上記のメモリ回路定義は、あらかじめ決定された複数の構成値に従って、上記の用意されたメモリ回路の少なくとも1つにおいて記憶構成を定義することを特徴とする方法。

【請求項9】 請求項1に記載された方法において、上記のメモリ回路定義は、上記の実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々に対し、上記の用意されたメモリ回路の各々にリードまたはライトのために上記の各アクセスポートが構成されるか否かを定義することを特徴とする方法。

【請求項10】 請求項1に記載された方法において、同じメモリ回路定義が上記の用意されたメモリ回路の各々において実行されることを特徴とする方法。

【請求項11】 請求項1に記載された方法において、さらに、

上記の用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されるアクセスポ

ートの少なくとも1つにおいて、あらかじめ定義されたタイムスロットの間にアクセスするステップを備えることを特徴とする方法。

【請求項12】 請求項11に記載された方法において、

上記の用意されたメモリ回路へのリードとライトのために、別のタイムスロットがあらかじめ定義されることを特徴とする方法。

【請求項13】 請求項11に記載された方法において、

上記のタイムスロットが外部クロック信号の関数としてあらかじめ定義されることを特徴とする方法。

【請求項14】 請求項11に記載された方法において、

上記のタイムスロットが上記の用意されたメモリ回路のアクセス時間の関数としてあらかじめ定義されることを特徴とする方法。

【請求項15】 請求項11に記載された方法において、

20 複数の上記の用意されたメモリ回路と関連する複数の上記の構成されたアクセスポートが共通のタイムスロットの間に並行にアクセスされることを特徴とする方法。

【請求項16】 請求項11に記載された方法において、

1つの用意されたメモリ回路が各々のあらかじめ定義されたタイムスロットの間にアクセスされることを特徴とする方法。

【請求項17】 請求項11に記載された方法において、

30 上記のアクセスのステップが非同期のリードイベントにより開始されることを特徴とする方法。

【請求項18】 請求項11に記載された方法において、

あらかじめ定義された大きさのワードが、各々の構成されたアクセスポートからアクセスされることを特徴とする方法。

【請求項19】 請求項18に記載された方法において、

40 あらかじめ定義された大きさのアクセスされたワードの各々が複数のワード部分に分割され、各々のワード部分は、上記のあらかじめ定義された大きさより大きくなく、各々のワード部分は、異なったタイムスロットの間にアクセスされることを特徴とする方法。

【請求項20】 請求項1に記載された方法において、さらに、

プロトタイプ回路定義を、論理回路における実行のための論理回路定義、および、上記の用意されたメモリ回路の少なくとも1つでの実行のためのメモリ回路定義に分割するステップを備えることを特徴とする方法。

50 【請求項21】 請求項20に記載された方法において、

て、

上記の論理回路が、上記の用意されたメモリ回路の少なくとも1つに相互に結合可能な再構成可能な論理モジュールからなることを特徴とする方法。

【請求項22】 請求項21に記載された方法において、

上記の再構成可能な論理モジュールが、上記の用意されたメモリ回路の少なくとも1つに、プログラム可能な相互結合モジュールを通して、相互に結合される方法。

【請求項23】 請求項20に記載された方法において、

上記の論理回路と上記の用意されたメモリ回路の少なくとも1つをターゲットシステムに結合し、結合されたターゲットシステムを作動することにより、上記の分割されたプロトタイプ回路定義をエミュレートするステップを備えることを特徴とする方法。

【請求項24】 請求項23に記載された方法において、

上記の結合されたターゲットシステムが、上記の構成されたアクセスポートの少なくとも1つにアクセスし、上記の用意されたメモリ回路の少なくとも1つにリードまたはライトすることを特徴とする方法。

【請求項25】 請求項23に記載された方法において、

上記の結合されたターゲットシステムは、上記の用意されたメモリ回路の少なくとも1つにおいて、異なったメモリ回路定義を実行させ、用意されたメモリ回路の各々のアクセスポートの各々に、再構成されるべき異なったメモリ定義を持たせることを特徴とする方法。

【請求項26】 請求項1に記載された方法において、さらに、上記の用意されたメモリ回路の中の少なくとも1つのメモリ回路において異なったメモリ回路定義を実行するステップと、

上記の実行される異なったメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードとライトのために、再構成するステップとを備えることを特徴とする方法。

【請求項27】 複数のメモリ回路定義（各メモリ回路は、少なくとも1つのスタティックメモリセルからなり、3個のアクセスポートを備え、各アクセスポートは双方向スイッチからなる）を用意するステップと、上記の用意されたメモリ回路の少なくとも1つにおいてメモリ回路定義（このメモリ回路定義は、複数のあらかじめ定義された構成値に従って始めの記憶容量、記憶深さ、記憶幅およびバンク選択を定義する）を実行するステップと、

上記の実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々

を、上記の用意されたメモリ回路へのリードとライトのために、構成するステップと、上記の用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されるアクセスポートの少なくとも1つにおいて、あらかじめ定義されたタイムスロットの間にアクセスするステップとからなり、

上記の用意されたメモリ回路のリードとライトのために別のタイムスロットがあらかじめ定義され、このタイムスロットは、上記の用意されたメモリ回路の外部クロック信号とアクセスタイムの関数としてあらかじめ定義されることを特徴とする複数のメモリ回路の構成法。

【請求項28】 それぞれ複数のアクセスポートを有する複数のメモリ回路を用意するステップと、プロトタイプ回路定義を、論理回路における実行のための論理回路定義、および、上記の用意されたメモリ回路の少なくとも1つにおける実行のためのメモリ回路定義に分割するステップと、

用意されたメモリ回路の中の少なくとも1つのメモリ回路においてメモリ回路定義を実行するステップと、実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードとライトのために、構成するステップと、

上記の用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されたアクセスポートの少なくとも1つに、あらかじめ定義されたタイムスロットの間にアクセスするステップと、

上記の論理回路と上記の用意されたメモリ回路の少なくとも1つをターゲットシステムに結合し、結合されたターゲットシステムを作動することにより、上記の分割されたプロトタイプ回路定義をエミュレートするステップとからなる複数のメモリ回路の構成法。

【請求項29】 それぞれ複数のアクセスポートを有する複数のメモリ回路と、論理回路における実行のための論理回路定義、および、メモリ回路定義に分割可能なプロトタイプ回路定義とを備え、

上記のメモリ回路定義は、上記のメモリ回路の少なくとも1つにおいて実行可能であり、実行されるメモリ回路定義を有する各メモリ回路の各アクセスポートは、各メモリ回路のリードまたはライトのために構成可能であり、構成されるアクセスポートは、あらかじめ定義されるタイムスロットの間に少なくとも1つのメモリ回路をリードまたはライトする、複数のメモリ回路の構成装置。

【請求項30】 それぞれ複数のアクセスポートを有する複数のメモリ回路と、

上記のメモリ回路の少なくとも1つにおいて実行されるメモリ回路定義とを備え、

上記のメモリ回路定義が実行されるメモリ回路の各々のアクセスポートの各々は、各メモリ回路のリードまたはライトのために構成可能である、複数のメモリ回路の構成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、構成可能な電子記憶装置、特に、デジタルメモリを含む回路をエミュレートするために構成される構成可能なメモリセルに関する。

【0002】

【従来の技術】電子設計自動化（EDA）の分野では、種々のソフトウェアとこれらに関連するハードウェアとが、回路設計を定義しベリファイするために使用される。特に、回路設計のより正確なベリフィケーションのために、「エミュレータ」として知られるツールが、プロトタイプの回路定義の機能的表現を構成するために用いられる。そのようなエミュレートされた表現を用いると、プロトタイプ回路またはハードウェアが実際に製作される前でも、回路設計者がエミュレートされた表現に結合されたターゲットシステムを操作しまたは開発する、という設計開発の柔軟性が生じる。これにより、全体の設計時間と費用がかなり減少できる。

【0003】

【発明が解決しようとする課題】通常のエミュレーションツールは、論理回路を定義しベリファイするために適しているけれども、そのような回路は、メモリ回路、特に、種々の記憶構成において構成される複数ポートのメモリ回路、をエミュレートするために容易に使用できない。したがって、プロトタイプ回路設計をエミュレートするためにさらに容易に構成可能なメモリ回路を提供することが望ましい。

【0004】本発明の目的は、プロトタイプ回路設計をエミュレートするためにさらに容易に構成可能なメモリ回路構成法および構成装置を提供することである。

【0005】

【課題を解決するための手段および作用】本発明において、複数のメモリ回路を構成する装置は、それぞれ複数のアクセスポートを有する複数のメモリ回路と、論理回路における実行のための論理回路定義、および、メモリ回路定義に分割可能なプロトタイプ回路定義とを備える。上記のメモリ回路定義は、上記のメモリ回路の少なくとも1つにおいて実行可能であり、実行されるメモリ回路定義を有する各メモリ回路の各アクセスポートは、各メモリ回路のリードまたはライトのために構成可能であり、構成されるアクセスポートは、あらかじめ定義されるタイムスロットの間に少なくとも1つのメモリ回路をリードまたはライトする。また、複数のメモリ回路を構成する別の装置は、それぞれ複数のアクセスポートを有する複数のメモリ回路と、上記のメモリ回路の少なくとも1つにおいて実行されるメモリ回路定義とを備え

る。上記のメモリ回路定義が実行されるメモリ回路の各々のアクセスポートの各々は、各メモリ回路のリードまたはライトのために構成可能である。

【0006】本発明においては、複数のアクセスポートを有する少なくとも1つの種々のメモリ回路においてメモリ回路定義を実行する。ここに、メモリ回路定義の実行において、各メモリ回路の各アクセスポートは、そのようなメモリ回路をリードまたはライトするように構成される。好ましくは、各メモリ回路は、3つの双方向アクセスポートを有するスタティックメモリセルからなり、メモリ回路定義は、あらかじめ決定された構成値に従って、最初の記憶容量、記憶深さ、記憶幅およびバンク選択を定義する。また、実行されるメモリ回路定義を有するメモリ回路の各アクセスポートに対して、メモリ回路定義は、アクセスポートがリードまたはライトのために構成されているか否かを定義する。

【0007】希望ならば、構成されたアクセスポートは、あらかじめ決定されたタイムスロットの間に、メモリ回路にリードまたはライトするために、アクセスできる。

別々のタイムスロットは、非メモリ論理回路とは反対に、メモリ回路へのリードまたはライトのためにあらかじめ定義できる。タイムスロットは、外部のクロック信号またはメモリ回路アクセスタイムの関数としてあらかじめ定義できる。希望ならば、プロトタイプ回路定義は、再構成可能論理モジュールでの実行のための論理回路定義と、また、少なくとも1つのメモリ回路における実行のためのメモリ回路定義とに分割できる。再構成可能な論理モジュールは直接に、または、プログラマブル相互結合モジュールを介して、メモリ回路に結合できる。この分割されたプロトタイプ回路定義をエミュレートするために、再構成可能な論理モジュールとメモリ回路は、相互に結合され、ターゲットシステムと結合される。ターゲットシステムは、そのように結合された後で作動される。エミュレーションの間に、ターゲットシステムは、メモリ回路にリードまたはライトするためのアクセスポートをアクセスできる。また、ターゲットシステムは、メモリ回路において異なったメモリ回路定義を実行させることができる。このとき、アクセスポートがそれに従って再構成される。

【0008】また、本発明の1つの複数のメモリ回路の構成方法では、複数のメモリ回路定義（各メモリ回路は、少なくとも1つのスタティックメモリセルからなり、3個のアクセスポートを備え、各アクセスポートは双方向スイッチからなる）を用意する。次に、用意されたメモリ回路の少なくとも1つにおいてメモリ回路定義（このメモリ回路定義は、複数のあらかじめ定義された構成値に従って始めの記憶容量、記憶深さ、記憶幅およびバンク選択を定義する）を実行する。次に、上記の実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の

用意されたメモリ回路へのリードとライトのために、構成する。そして、用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されるアクセスポートの少なくとも1つにおいて、あらかじめ定義されたタイムスロットの間にアクセスする。ここで、上記の用意されたメモリ回路のリードとライトのために別のタイムスロットがあらかじめ定義される。タイムスロットは、上記の用意されたメモリ回路の外部クロック信号とアクセスタイムの関数としてあらかじめ定義される。

【0009】また、本発明の1つの複数のメモリ回路の構成方法では、それぞれ複数のアクセスポートを有する複数のメモリ回路を用意する。次に、プロトタイプ回路定義を、論理回路における実行のための論理回路定義、および、上記の用意されたメモリ回路の少なくとも1つにおける実行のためのメモリ回路定義に分割する。次に、用意されたメモリ回路の中の少なくとも1つのメモリ回路においてメモリ回路定義を実行する。次に、実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、用意されたメモリ回路へのリードとライトのために、構成する。次に、用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されたアクセスポートの少なくとも1つに、あらかじめ定義されたタイムスロットの間にアクセスする。次に、上記の論理回路と上記の用意されたメモリ回路の少なくとも1つをターゲットシステムに結合し、結合されたターゲットシステムを作動することにより、上記の分割されたプロトタイプ回路定義をエミュレートする。

【0010】

【実施例】以下、図面を参照して本発明による実施例について説明する。図1は、電子設計自動(EDA)システムのブロック図である。図に示されるように、エンジニアリングワークステーションすなわちユーザステーション10は、デバッグ装置すなわちデバッグユニット12、論理ブロックモジュール(LBM)14、プログラム可能な相互結合モジュール(PIM)20、再構成可能なメモリモジュール100、インターフェースボッド16、および、ターゲットシステム18に結合される。このEDAシステムは、ピエ・デザイン・システム社(カリフォルニア州サンベール)により設計された「MARS」論理エミュレーションシステムと同様にエミュレーションのために構成され、回路設計者またはシステム設計者は、ブレッドボード技術またはエミュレーション技術を用いて回路またはシステムの機能性を定義しペリファイするために使用する。追加の論理ブロックモジュール(LBM)14(N)は、さらに複雑な回路またはシステムをエミュレートするために使用される。

【0011】ユーザステーション10は、通信処理または分散処理のための同様なプロセッサのネットワークに

結合可能な通常のプロセッサを含む。ユーザステーション10は、プロトタイプ回路設計を定義しペリファイするための計算機援用エンジニアリングおよび計算機援用設計(CAE/CAD)のソフトウェアEDAツールを備える。たとえば、回路設計者は、そのようなツールを用いて、回路の図式を入力し、または、論理ゲートを合成して、回路またはシステムの機能または表現を定義または設計でき、次に、定義された機能をシミュレートまたはペリファイできる。回路設計者は、定義された機能をエミュレートすることにより、追加のエミュレーションを行うことができる。回路設計者は、エミュレーションにより、ターゲットシステム18におけるプロトタイプ回路のエミュレートされた表現を作動することができる。このプロトタイプ回路は、ターゲットシステム18において作動するように意図されている。

【0012】始めに、プロトタイプ回路がエミュレートされる前に、回路設計者は、EDAツールを用いて、1つの回路設計を定義し、好ましくは、ペリファイする。回路設計が定義されペリファイされると、回路設計者は、EDAツールを用いて、通常の回路ファイルすなわちネットリストを発生する。このネットリストは、回路設計の中の部品と相互結合のテキスト形式(すなわち、「ASCII」フォーマット)のリストを与える。本発明によれば、各回路設計は、論理部品とともに少なくとも1つのメモリ部品を含むように定義される。デバッグユニット12は、ユーザステーション10と結合される。回路設計者は、デバッグユニット12を用いて、発生されたネットリストをユーザステーション10から、論理モジュール14、相互結合モジュール20およびメモリモジュール100に転送する。デバッグユニット12は、また、プロトタイプ回路設計のエミュレートされた表現の動作をペリファイするための機能テストおよび論理アナライザとしても役立つ。デバッグユニット12は、機能テスト(デバッグ)モードまたはエミュレーション(実行)モードにおいて作動できる。

【0013】1つのネットリストが発生された後で、回路設計者は、EDAツールを用いて、ネットリストを受信し、そこに定義された回路設計すなわち回路定義を物理的に実行させ、または、論理部品の場合には、種々の再構成可能な論理回路すなわちフィールドプログラマブルゲートアレイ(FPGA)に、メモリ部品の場合には、メモリモジュール100に含まれるメモリセルすなわちスタティックランダムアクセスメモリ(SRAM)に、「ダウンロード」される。エミュレーションは、ネットリスト、論理モジュール14に含まれる再構成可能な論理回路の実際の相互結合と機能実行に従って、そして、必要ならば、相互結合モジュールにおける再構成可能な電気的経路の実際の相互結合とメモリモジュール100に含まれる実際のメモリ構成とメモリ容量とに従つて、プログラム可能に構成することにより達成される。

【0014】回路設計者が設計インポート(import)コマンドを呼び出すと、EDAツールは、とりわけ、ネットリストに含まれる全ての論理部品とメモリ部品が、論理モジュール14とメモリモジュール100にそれぞれ備えられる論理表現とメモリ表現のあらかじめ決定されたライブラリすなわちデータベースの中に存在するかすなわち記憶されているかをチェックする。好ましくは、1つの論理部品またはメモリ部品がライブラリに存在しないならば、次に、EDAツールは、対応する一般的な論理部品またはメモリ部品の1つの構成を発生できる。こうして、EDAツールを用いて部品構成を発生または構成することにより、回路設計者は、そのような1つの構成の機能すなわち作動パラメータをより完全にカスタム化または特定できる。

【0015】ネットリストがインポートされた後で、EDAツールの中の分割プログラムを呼び出すことができる。分割プログラムは、ネットリストに含まれるどの部品が論理部品でありメモリ部品であるかを決定する。好ましくは、通常のまたは種々のコンビネーションデバイス、シーケンシャルデバイスまたはステートデバイスにおける1時的または永久的記憶のために構成または配置された2進情報またはデジタル情報を含む部品は、メモリ回路またはメモリ部品であると決定される。メモリ部品の例には、1以上のポートを有するコアメモリアレイ、キャッシュメモリ(記憶、タグ、ステータスのアレイを含む)、複数のポートを有するレジスタファイル、マイクロコードの読出専用メモリ(ROM)、オンチップのランダムアクセスメモリ(RAM)、ファーストイン/ファーストアウト(FIFO)、および、プロセッサメモリ(命令キャッシュ、データキャッシュ、一般的レジスタ、ローカル記憶RAM、メイン記憶RAMを含む)がある。

【0016】ネットリストに含まれる他の部品は、典型的には、非記憶用途のために構成または設計される通常のコンビネーションデバイス、シーケンシャルデバイスまたはステートデバイスを含み、論理回路または論理部品として決定される。設計技術者により指定されるとき、記憶メモリ(storage memory)型の設計用途のための通常の論理回路を用いることは可能である。ネットリストのどの部品が論理部品でありメモリ部品であるかを決定した後で、分割プログラムは、ダウンロードのため、または、部品および論理モジュール14、相互結合モジュール20またはメモリモジュール100への相互結合との実際の作動の実行のためのネットリストを分割する。

【0017】論理部品は論理モジュール14にダウンロードされ、論理モジュール14は、好ましくは、分割されたネットリストに従ってその中に含まれるFPGAまたは構成可能な論理ブロック(CLB)をプログラムまたは構成するための通常の技法を用いて、論理回路部分

とこれに関連する相互結合とを構成する。メモリ部品は、後で説明されるように、メモリモジュール100にダウンロードされる。希望ならば、メモリ部品は、論理モジュール14にダウンロードでき、そこで同等な作動が実行される。ネットリストにおける相互結合は、各論理モジュール14での利用できる構成可能な相互結合または論理モジュールに含まれるFPGAを用いて、論理モジュール14に、または、相互結合モジュール20において利用可能なプログラマブルな相互結合経路または構成可能なクロスバースイッチを用いて、相互結合モジュール20に、ダウンロードできる。

【0018】全体のプロトタイプ回路設計または定義は、ネットリストにおける論理部品、メモリ部品および相互結合のすべてまたは希望の部分または下位ネットリストが論理モジュール14、メモリモジュール100、および、希望なら相互結合モジュール20にダウンロードされる。そのような構成の際に、論理モジュール14、相互結合モジュール20およびメモリモジュール100において実行されるプロトタイプ回路設計は、種々のインターフェースボッド16すなわち信号結合を通して、ターゲットシステム18における実際の機能作動すなわちエミュレーションのためにターゲットシステム18において通常のポートまたは信号ソケットに結合できる。

【0019】エミュレーションの間に、ターゲットシステム18は、データ信号、制御信号、試験信号、パワー信号、接地信号、および、他の適当な信号、ベクトルまたは刺激をターゲットシステム18に加えることにより、通常のまたは通常に近い条件またはタイミングで作動する。このように、回路設計者は、ターゲットシステム18、すなわち、論理モジュール14、相互結合モジュール20およびメモリモジュール100におけるエミュレーションのために1時的に構成されるプロトタイプ設計の機能性をデバッグまたは試験する。

【0020】さらに、回路設計者は、ネットリストに含まれる相互結合または部品に対する種々の再構成または機能的変化が、プロトタイプ回路設計を修正又は変化するためには必要であることを決定できる。そのような修正を達成するために、回路設計者は、EDAツールにプロトタイプ回路設計を再定義させ、そして必要ならば再ベリファイさせる。論理回路と、論理モジュール14の中における相互結合、メモリモジュール100におけるメモリ回路、および、メモリモジュール100における相互結合の機能の実行は、EDAツールを用いて再構成または再プログラム可能なので、事実上無限の数と幅の異なったまたは同様な変更が可能である。

【0021】図2は、メモリアレイ200と関連する回路とを示すメモリモジュール100の回路図である。メモリモジュール100は次のものを含む。「JPEG」50プロセッサすなわち制御器102、タイムスロット発生

器又は信号発生器104、メモリ構成デコーダ108、外部クロック又は外部発振器106、マルチブレクサ(MUX)110、再構成可能な論理アレイまたは「ベータ-アルファ」アレイ118、および、双方向のスイッチまたはラッチ112、114、116。

【0022】図3において示されるメモリアレイ200は、デジタル記憶回路またはデジタル記憶セル204、データラッチまたはデータスイッチ202および構成可能な双方向リード/ライトポート206を含む様々なに相互に結合されたメモリ回路208を有する。好ましくは、セル204は、8個の3ポートのスタティックランダムアクセスメモリ(SRAM)を含み、各セル204は、25nsのアクセスタイムの32K×32のSRAMである。好ましくはポートに結合されるスイッチ112、ラッチ114またはラッチ116の信号スイッチ方向を構成またはプログラムすることにより、各ポート206のためのアクセス方向は、対応するセル204への適当なアクセスのためのリードモードまたはライトモードとして構成またはプログラムされる。

【0023】制御器102は、論理部品、メモリ部品、構成、初期化状態、および、相互結合を含む分割されたネットリスト情報を受信する。この情報は、プロトタイプ回路設計を表し、EDAツールによりユーザステーション10またはデバッグユニット12からダウンロードされる。論理アレイ118に含まれる再構成可能論理装置またはFPGAをプログラムまたは構成するために、論理部品、関連する相互結合、構成、または、初期化情報が、ダウンロードされる。論理アレイ118に含まれる再構成可能論理装置またはFPGA、メモリアレイ200の中の再構成可能メモリセル204、再構成可能リード/ライトI/Oポート206または再構成可能双方向ラッチ202、または、メモリモジュール100の中の再構成可能双方向スイッチまたはラッチ112、114、116をプログラムまたは構成するために、メモリ部品、それに関連する相互結合、構成、または、初期化情報が、ダウンロードされる。

【0024】また、好ましくはIEEE標準1149.1：“Standard Test Access Port and Boundary Scan Architecture”に定義されるJTAG規格に対応して、制御器102は、メモリモジュール100での回路機能をペリファイするためにテストスキャンまたは境界スキャンのベクトルまたはパターンを受信し、記憶し、加える。制御器102は、タイムスロット発生器104、マルチブレクサ110およびデコーダ108に結合される通常のマイクロプロセッサであり、ホストプロセッサ(ユーザステーション10でもデバッグユニット12でもよい)から命令を受信する。

【0025】制御器102は、分割されたネットリスト情報を、メモリアレイ200の中の構成可能メモリ回路へダウンロードする処理のためにローカルディスクまた

はメモリ装置に備えられた、あらかじめ特定された命令セットを、好ましくは、備えられたEDAツールに従って、使用する。追加の命令は、ネットリストに備えられたメモリ部品に従って、特にポート206のアクセス方向、デジタル記憶容量、記憶深さ、記憶の幅、記憶バンク選択などのあらかじめ定義された構成値に従って、メモリアレイ200の中にメモリ回路を構成するためにそこに特定される。

【0026】デコーダ108は、メモリ構成デコーダ回路であり、具体的には好ましくは、93入力および136出力を有するプログラマブル論理アレイ(PLA)である。93入力のうち、8入力ピンは、構成コードのために使用され、12入力ピンは、バンクとサブバンクの選択のために使用され、24入力ピンは、リード/ライトポート選択のために使用され、16入力ピンは、メモリセルのグループ化のために使用され、8入力ピンは、メモリセルイネーブルのために使用され、24入力ピンは、ポートタイムスロットロックのために使用され、1入力ピンは、システムクロックのために使用される。

20 出力ピンのうち、32出力ピンは、ライトイネーブルのために使用され、8出力ピンは、グローバルバスイネーブルのために使用され、96出力ピンは、ラッチ制御のために使用される。

【0027】タイムスロット発生器104は、好ましくは、24ポートのために24までのタイムスロットすなわち時間的に決められた信号パルスを発生する。各タイムスロットは、40nsの長さを有する。ここに、10nsは、アドレスタイムに割り当てられ、25nsは、アクセスタイムに割り当てられる。プログラマブル遅延ラインを各タイムスロットの前に設けてもよく、実際の遅延時間は、アドレスからシステムへのクロック遅延に依存する。

【0028】タイムスロット発生器104は、好ましくは制御器102の制御の下で動作して、適当なライト信号とポートデータラッチ制御信号を発生するために、ポートリード/ライト選択とバンク/サブバンク選択をイネーブルにするために、タップ出力信号を出力する。さらに、タイムスロット発生器104は、最後のまたは最も最近のリードポートが5以上のポートの後に続くときにはいつでも、リードデータ遅延時間をシステムサイクル時間に加える。好ましくは、150nsの遅延時間がこれにより加えられる。論理アレイ118は、論理モジュール14に結合でき、マルチブレクサ110、スイッチ112およびラッチ114、116に結合される再構成可能論理回路またはFPGAを含む。スイッチ112、ラッチ114およびラッチ116は、74F543などの再プログラム可能な双方向デジタルスイッチまたはラッチであり、セル204のリードまたはライトのためにデジタル情報をアクセスするためのアクセスポート206にそれぞれ結合される。

40 50

【0029】図3に示されるように、マルチブレクサ10は、制御器のデコーダ108、メモリアレイ200および論理アレイ118に結合され、クロック回路106は、タイムスロット発生器104とデコーダ108に結合される。好ましくは、メモリモジュール100は、あらかじめ定義されたパラメータを用いて構成される。メモリの深さは、1から32,767まで構成される。パンク幅は、32、64、128または256ビットに限定される。こうして、もしメモリ設計が95ビットの幅を使用するならば、128ビットが指定される。パンク選択信号の構成は、パンク幅に依存する。たとえば、128ビットのパンクは、メモリモジュール100が256ビットの最大幅を有するので、2より多いパンクを許さない。

【0030】サブパンク選択信号の構成は、部分的ライト動作のために使用される。たとえば、4バイトの選択信号は、32ビットの幅のために構成され、8バイトの選択信号は、64ビットの幅のために構成され、8の2倍バイトの選択信号は、128ビットの幅のために構成され、8の4倍バイトの選択信号は、256ビットの幅のために構成される。サブパンク選択信号は、もし部分的ライトの能力が要求されないならば、ディスエーブル

にできる。さらに、好ましくは、1～24のリードポートと1～16のライトポートが構成される。構成されるリードポートとライトポートの全体の数は24である。【0031】したがって、本発明によれば、メモリ回路の定義は、マルチブルアクセスポート206を有する種々のメモリ回路200、208の少なくとも1つにおいて実行される。ここで、メモリ回路の定義が実行される各メモリ回路200、208の各アクセスポート206は、それらの各メモリ回路200、208のリードとライトのために構成される。好ましくは、各メモリ回路200、208は、3個の双方向アクセスポート206を有するスタティックメモリセル204からなり、メモリ回路の定義は、あらかじめ定義された構成値に従って、初めの記憶容量、記憶深さ、記憶幅およびパンク選択を定義する。代表的な構成値は、添付される表1～表4に与えられる。また、メモリ回路の定義は、実行されるメモリ回路定義を有するメモリ回路200、208の各アクセスポート206に対して、そのようなアクセスポート206がリードモードまたはライトモードのために構成されるか否かを定義する。

【0032】

【表1】

8ビットライトセレクト信号を用いた32ビットデータワードの構成

CELL	PORT	BANK	SUB-BANK	WRITE WIDTH	READ WIDTH
8	16W 8R	8	4*8	32	32
	16W 4R	8	4	32	64
	16W 2R	8	4	32	128
	16W 1R	8	4	32	256
	8W 16R	8	4	32	32
	8W 8R	8	4	32	64
	8W 4R	8	4	32	128
	8W 2R	8	4	32	256
	8W 1R	8	4	32	256
	8W 4R	4	4	32	32
4	8W 2R	4	4	32	64
	8W 1R	4	4	32	128
	4W 8R	4	4	32	32
	4W 4R	4	4	32	64
	4W 2R	4	4	32	128
	4W 1R	4	4	32	128
	4W 2R	2	4	32	32
2	4W 1R	2	4	32	64
	2W 4R	2	4	32	32
	2W 2R	2	4	32	64
	2W 1R	2	4	32	64
	2W 1R	1	4	32	32
1	1W 2R	1	4	32	32
	1W 1R	1	4	32	32

【0033】

【表2】

17
8ビットライトセレクト信号を用いた64ビットデータワードの構成

CELL	PORT	BANK	SUB-BANK	WRITE WIDTH	READ WIDTH
8	8W 4R	4	8*8	64	64
	8W 2R	4	8	64	128
	8W 1R	4	8	64	256
	4W 8R	4	8	64	64
	4W 4R	4	8	64	128
	4W 2R	4	8	64	256
	4W 1R	4	8	64	256
	2W 8R	4	8	64	64
	2W 4R	4	8	64	128
	2W 2R	4	8	64	256
	2W 1R	4	8	64	256
4	4W 2R	2	8	64	64
	4W 1R	2	8	64	64
	2W 4R	2	8	64	64
	2W 2R	2	8	64	128
	2W 1R	2	8	64	128
2	2W 1R	1	8	64	64
	1W 2R	1	8	64	64
	1W 1R	1	8	64	64

【0034】

* * 【表3】

16ビットライトセレクト信号を用いた128ビットデータワードの構成

CELL	PORT	BANK	SUB-BANK	WRITE WIDTH	READ WIDTH
8	4W 2R	2	8*16	128	128
	4W 1R	2	8	128	128
	2W 4R	2	8	128	128
	2W 2R	2	8	128	256
	2W 1R	2	8	128	256
4	2W 1R	1	8	128	128
	1W 2R	1	8	128	128
	1W 1R	1	8	128	128

【0035】

【表4】

32ビットライトセレクト信号を用いた256ビットデータワードの構成

CELL	PORT	BANK	SUB-BANK	WRITE WIDTH	READ WIDTH
8	2W	1R	1	8*32	256
	1W	2R	1	8	256
	1W	1R	1	8	256

【0036】好ましくは、メモリアクセスのためのそのような構成の定義は、3個のアクセスポート206の各々に結合される各双方向スイッチ112、ラッチ114またはラッチ116をプログラムまたは構成することにより、達成される。こうして、各ポート206は、ライト専用アクセス（すなわち内向き信号方向）またはリード専用アクセス（すなわち外向き信号方向）のために実行される。また、各アクセスポート206は、リードアクセスとライトアクセスのために、双方向に構成できる。希望ならば、同じメモリ回路定義は、たとえば、各メモリ回路200、208のための全アクセスポートが同一に構成されるように、各メモリ回路200、208において実行してもよい。

【0037】タイムスロットは、外部クロック信号とメモリ回路アクセス時間の関数としてあらかじめ決定でき、回路設計者により、たとえばプロトタイプ回路設計（ネットリスト）またはペリフィケーション（エミュレーション）の間に特定される。共通のまたは複数のタイムスロットの間に、構成されたアクセスポート206の1組が並行にアクセスできる。または、1つのメモリ回路200、208は、各タイムスロットの間に直列に（すなわち1時に1つのメモリ回路に）アクセスできる。さらに、そのようなアクセスは、非同期のリードまたはリードバックのトリガイベントにより開始できる。好ましくは、記憶されたデジタル情報は、あらかじめ定義された大きさと等しいかまたはそれより小さい複数のワードで、メモリレイ200からアクセスされる。こうして、アクセスされたワードがこのあらかじめ定義された大きさより大きいとき、制御器102は、その大きなワードを、それぞれ上記のあらかじめ定義された大きさより小さいかそれと等しい大きさのワード部分に分割または分析する。さらに、各ワード部分は、好ましくは、異なったまたは連続するタイムスロットの間にアクセスされる。

【0038】希望ならば、プロトタイプ回路定義は、再構成可能論理モジュール14での実行のために論理回路定義に、そして、少なくとも1つのメモリ回路200、208での実行のためにメモリ回路定義に、分割できる。再構成可能論理モジュール14は、直接に、または、プログラマブル相互結合モジュール20と通って、メモリ回路200、208に相互に結合される。分割されたプロトタイプ回路定義を実行するために、再構成可

能論理モジュール14とメモリ回路200、208は、10相互に結合され、ターゲットシステム18に結合される。ターゲットシステム18は、そのように結合された後で作動される。エミュレーションの間に、ターゲットシステム18は、メモリ回路200、208へのリードとライトのために、アクセスポート206にアクセスできる。また、再定義された構成において、ターゲットシステム18は、メモリ回路200、208において異なった回路定義を実行させることができる。このとき、したがって、アクセスポート206は、再定義される。

【0039】図4において、フローチャートは、本発明20を実施する方法を一般的に示す。始めに、少なくとも1つのメモリ回路100、200、208を用意する（ステップ210）。ここで、各メモリ回路は、好ましくは3個のアクセスポート（各ポートは、双方向スイッチを有する）を有する少なくとも1個のスタティックメモリセルを含む。次に、（好ましくはネットリストの形の）プロトタイプ回路定義を、論理部分とメモリ部分に分割する（ステップ220）。本発明によれば、メモリ部分25すなわちメモリ定義を、用意されたメモリ回路の少なくとも1つにおいて実行する（ステップ230）。ここで、30そのような回路定義は、好ましくは、初めの構成値を定義する。さらに、実行されるメモリ定義を有するメモリ回路の各アクセスポート206は、リードまたはライトのために構成できる（ステップ240）。好ましくは、あらかじめ決定されたタイムスロットの間に、構成されるアクセスポートの少なくとも1個を、そのようなメモリ回路のリードまたはライトのためにアクセスする（ステップ250）。以上の配置において、これにより、プロトタイプ回路エミュレーション260は、イネーブルになり、回路設計者により決定されるように、プロトタイプ回路定義のエミュレーションを実行し（ステップ260）、続くステップ230～260の繰り返し40を行う（ステップ270）。

【0040】

【発明の効果】本発明に係るメモリ回路構成法および構成装置は、プロトタイプ回路設計のエミュレーションにおいてメモリ回路をさらに容易に構成可能である。

【図面の簡単な説明】

【図1】電子設計自動（EDA）システムのブロック図であり、ユーザステーション10、デバッグユニット5012、相互結合モジュール20とメモリモジュール10

21

22

0に、またインターフェースボード16を介してターゲットシステム18に結合された論理モジュール14を示す。

【図2】 メモリアレイ200と関連する回路とを示すメモリモジュール100の回路図である。

【図3】 セル204とラッチ202を含むメモリ回路208を示すメモリアレイ200のブロック図である。

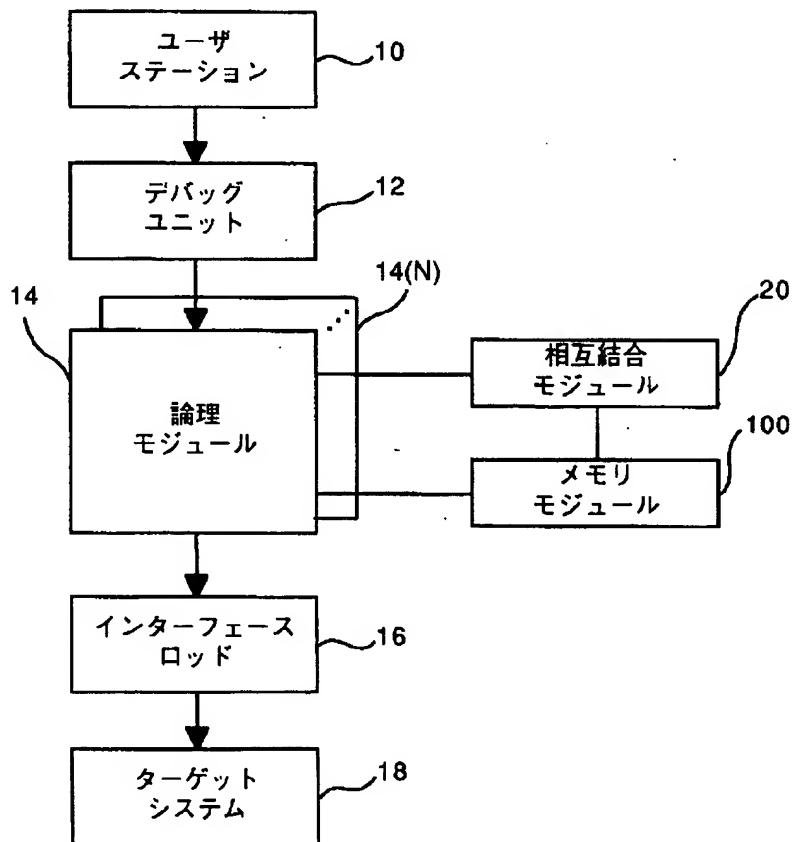
【図4】 本発明を実施する方法を一般的に示すフローチャートである。

【符号の説明】

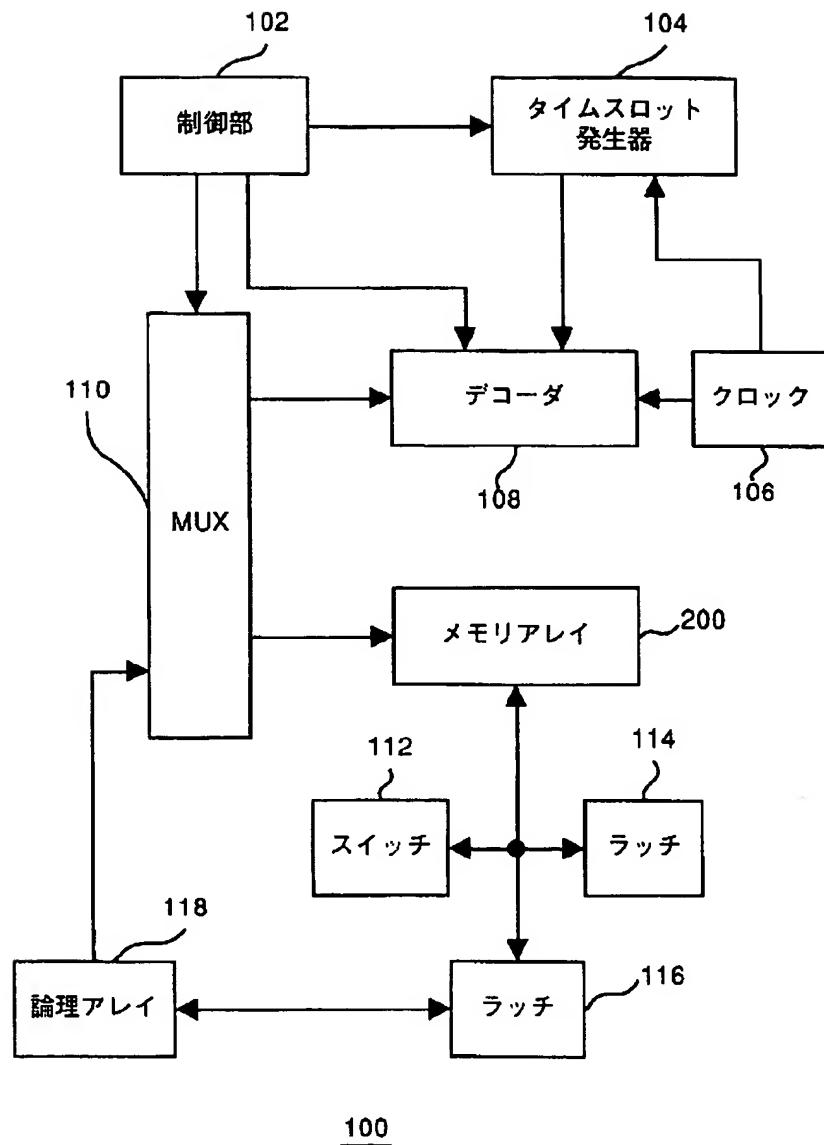
*10…ユーザステーション、
12…デバッグユニット、
16…インターフェースボード、
18…ターゲットシステム、
20…相互結合モジュール、
100…メモリモジュール、
200…メモリアレイ、
202…ラッチ、
204…セル。

*10

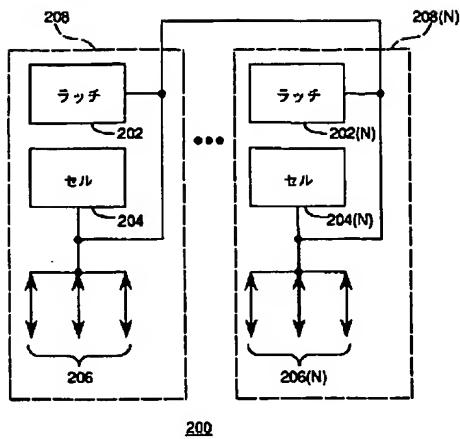
【図1】



【図2】

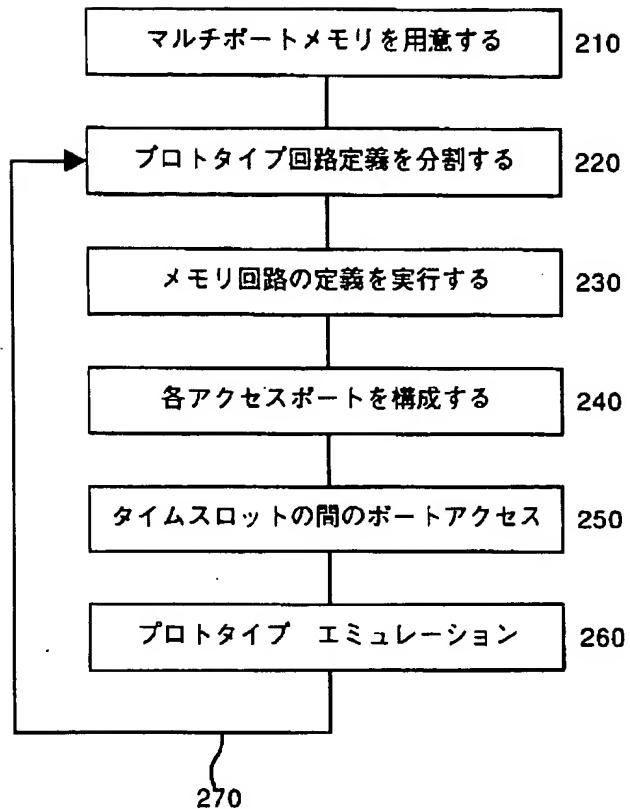


【図3】



200

【図4】



270

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成13年11月2日(2001.11.2)

【公開番号】特開平7-73066

【公開日】平成7年3月17日(1995.3.17)

【年通号】公開特許公報7-731

【出願番号】特願平6-142973

【国際特許分類第7版】

C06F 11/22 340

17/50

【F1】

C06F 11/22 340 A

15/60 360 D

【手続補正書】

【提出日】平成13年2月6日(2001.2.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 それぞれ複数のアクセスポートを有する複数のメモリ回路を用意するステップと、用意されたメモリ回路の中の少なくとも1つのメモリ回路においてメモリ回路定義を実行するステップと、

実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードまたはライトのために、構成するステップとからなるメモリ回路構成法。

【請求項2】 請求項1に記載された方法において、各メモリ回路が少なくとも1つのスタティックメモリセルからなる方法。

【請求項3】 請求項1に記載された方法において、各アクセスポートが、上記のメモリ回路定義に従って構成される双方向スイッチからなることを特徴とする方法。

【請求項4】 請求項1に記載された方法において、3個のみのアクセスポートが各メモリ回路に備えられることを特徴とする方法。

【請求項5】 請求項1に記載された方法において、上記のメモリ回路定義は、上記の用意されたメモリ回路の少なくとも1つにおいて始めの記憶容量を定義することを特徴とする方法。

【請求項6】 請求項1に記載された方法において、上記のメモリ回路定義は、上記の用意されたメモリ回路の少なくとも1つにおいて記憶深さと記憶幅を定義することを特徴とする方法。

【請求項7】 請求項1に記載された方法において、

上記のメモリ回路定義は、上記の用意されたメモリ回路の少なくとも1つにおいて記憶パンク選択を定義することを特徴とする方法。

【請求項8】 請求項1に記載された方法において、上記のメモリ回路定義は、あらかじめ決定された複数の構成値に従って、上記の用意されたメモリ回路の少なくとも1つにおいて記憶構成を定義することを特徴とする方法。

【請求項9】 請求項1に記載された方法において、上記のメモリ回路定義は、上記の実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々に対し、上記の用意されたメモリ回路の各々にリードまたはライトのために上記の各アクセスポートが構成されるか否かを定義することを特徴とする方法。

【請求項10】 請求項1に記載された方法において、同じメモリ回路定義が上記の用意されたメモリ回路の各々において実行されることを特徴とする方法。

【請求項11】 請求項1に記載された方法において、さらに、

上記の用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されるアクセスポートの少なくとも1つにおいて、あらかじめ定義されたタイムスロットの間にアクセスするステップを備えることを特徴とする方法。

【請求項12】 請求項11に記載された方法において、

上記の用意されたメモリ回路へのリードとライトとのために、別のタイムスロットがあらかじめ定義されることを特徴とする方法。

【請求項13】 請求項11に記載された方法において、

上記のタイムスロットが外部クロック信号の関数としてあらかじめ定義されることを特徴とする方法。

【請求項14】 請求項11に記載された方法において、

上記のタイムスロットが上記の用意されたメモリ回路のアクセス時間の閾数としてあらかじめ定義されることを特徴とする方法。

【請求項15】 請求項11に記載された方法において、

複数の上記の用意されたメモリ回路と関連する複数の上記の構成されたアクセスポートが共通のタイムスロットの間に並行にアクセスされることを特徴とする方法。

【請求項16】 請求項11に記載された方法において、

1つの用意されたメモリ回路が各々のあらかじめ定義されたタイムスロットの間にアクセスされることを特徴とする方法。

【請求項17】 請求項11に記載された方法において、

上記のアクセスのステップが非同期のリードイベントにより開始されることを特徴とする方法。

【請求項18】 請求項11に記載された方法において、

あらかじめ定義された大きさのワードが、各々の構成されたアクセスポートからアクセスされることを特徴とする方法。

【請求項19】 請求項18に記載された方法において、

あらかじめ定義された大きさのアクセスされたワードの各々が複数のワード部分に分割され、各々のワード部分は、上記のあらかじめ定義された大きさより大きくなく、各々のワード部分は、異なったタイムスロットの間にアクセスされることを特徴とする方法。

【請求項20】 請求項1に記載された方法において、さらに、

プロトタイプ回路定義を、論理回路における実行のための論理回路定義、および、上記の用意されたメモリ回路の少なくとも1つでの実行のためのメモリ回路定義に分割するステップを備えることを特徴とする方法。

【請求項21】 請求項20に記載された方法において、

上記の論理回路が、上記の用意されたメモリ回路の少なくとも1つに相互に結合可能な再構成可能な論理モジュールからなることを特徴とする方法。

【請求項22】 請求項21に記載された方法において、

上記の再構成可能な論理モジュールが、上記の用意されたメモリ回路の少なくとも1つに、プログラム可能な相互結合モジュールを通して、相互に結合される方法。

【請求項23】 請求項20に記載された方法において、

上記の論理回路と上記の用意されたメモリ回路の少なくとも1つとをターゲットシステムに結合し、結合されたターゲットシステムを作動することにより、上記の分割されたプロトタイプ回路定義をエミュレートするステップを備えることを特徴とする方法。

【請求項24】 請求項23に記載された方法において、

上記の結合されたターゲットシステムが、上記の構成されたアクセスポートの少なくとも1つにアクセスし、上記の用意されたメモリ回路の少なくとも1つにリードまたはライトすることを特徴とする方法。

【請求項25】 請求項23に記載された方法において、

上記の結合されたターゲットシステムは、上記の用意されたメモリ回路の少なくとも1つにおいて、異なったメモリ回路定義を実行させ、用意されたメモリ回路の各々のアクセスポートの各々に、再構成されるべき異なったメモリ定義を持たせることを特徴とする方法。

【請求項26】 請求項1に記載された方法において、さらに、

上記の用意されたメモリ回路の中の少なくとも1つのメモリ回路において異なったメモリ回路定義を実行するステップと、

上記の実行される異なったメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードまたはライトのために、再構成するステップとを備えることを特徴とする方法。

【請求項27】 複数のメモリ回路定義（各メモリ回路は、少なくとも1つのスタティックメモリセルからなり、3個のアクセスポートを備え、各アクセスポートは双方向スイッチからなる）を用意するステップと、

上記の用意されたメモリ回路の少なくとも1つにおいてメモリ回路定義（このメモリ回路定義は、複数のあらかじめ定義された構成値に従って始めの記憶容量、記憶深さ、記憶幅およびバンク選択を定義する）を実行するステップと、

上記の実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードまたはライトのために、構成するステップと、

上記の用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されるアクセスポートの少なくとも1つにおいて、あらかじめ定義されたタイムスロットの間にアクセスするステップとからなり、

上記の用意されたメモリ回路のリードとライトのために別のタイムスロットがあらかじめ定義され、このタイムスロットは、上記の用意されたメモリ回路の外部クロック信号とアクセスタイムの閾数としてあらかじめ定義されることを特徴とする複数のメモリ回路の構成法。

【請求項28】 それぞれ複数のアクセスポートを有する複数のメモリ回路を用意するステップと、プロトタイプ回路定義を、論理回路における実行のための論理回路定義、および、上記の用意されたメモリ回路の少なくとも1つにおける実行のためのメモリ回路定義に分割するステップと、用意されたメモリ回路の中の少なくとも1つのメモリ回路においてメモリ回路定義を実行するステップと、実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードまたはライトのために、構成するステップと、上記の用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されたアクセスポートの少なくとも1つに、あらかじめ定義されたタイムスロットの間にアクセスするステップと、上記の論理回路と上記の用意されたメモリ回路の少なくとも1つをターゲットシステムに結合し、結合されたターゲットシステムを作動することにより、上記の分割されたプロトタイプ回路定義をエミュレートするステップとからなる複数のメモリ回路の構成法。

【請求項29】 それぞれ複数のアクセスポートを有する複数のメモリ回路と、論理回路における実行のための論理回路定義、および、メモリ回路定義に分割可能なプロトタイプ回路定義とを備え、上記のメモリ回路定義は、上記のメモリ回路の少なくとも1つにおいて実行可能であり、実行されるメモリ回路定義を有する各メモリ回路の各アクセスポートは、各メモリ回路のリードまたはライトのために構成可能であり、構成されるアクセスポートは、あらかじめ定義されるタイムスロットの間に少なくとも1つのメモリ回路をリードまたはライトする、複数のメモリ回路の構成装置。

【請求項30】 それぞれ複数のアクセスポートを有する複数のメモリ回路と、上記のメモリ回路の少なくとも1つにおいて実行されるメモリ回路定義とを備え、上記のメモリ回路定義が実行されるメモリ回路の各々のアクセスポートの各々は、各メモリ回路のリードまたはライトのために構成可能である、複数のメモリ回路の構成装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】また、本発明の1つの複数のメモリ回路の構成方法では、複数のメモリ回路定義（各メモリ回路は、少なくとも1つのスタティックメモリセルからなり、3個のアクセスポートを備え、各アクセスポートは双方向スイッチからなる）を用意する。次に、用意されたメモリ回路の少なくとも1つにおいてメモリ回路定義（このメモリ回路定義は、複数のあらかじめ定義された構成値に従って始めの記憶容量、記憶深さ、記憶幅およびバンク選択を定義する）を実行する。次に、上記の実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、上記の用意されたメモリ回路へのリードまたはライトのために、構成する。そして、用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されるアクセスポートの少なくとも1つにおいて、あらかじめ定義されたタイムスロットの間にアクセスする。ここで、上記の用意されたメモリ回路のリードとライトのために別のタイムスロットがあらかじめ定義される。タイムスロットは、上記の用意されたメモリ回路の外部クロック信号とアクセスタイムの関数としてあらかじめ定義される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】また、本発明の1つの複数のメモリ回路の構成方法では、それぞれ複数のアクセスポートを有する複数のメモリ回路を用意する。次に、プロトタイプ回路定義を、論理回路における実行のための論理回路定義、および、上記の用意されたメモリ回路の少なくとも1つにおける実行のためのメモリ回路定義に分割する。次に、用意されたメモリ回路の中の少なくとも1つのメモリ回路においてメモリ回路定義を実行する。次に、実行されるメモリ回路定義を有する上記の用意されたメモリ回路の各々の上記のアクセスポートの各々を、用意されたメモリ回路へのリードまたはライトのために、構成する。次に、用意されたメモリ回路の少なくとも1つにリードまたはライトするために、上記の構成されたアクセスポートの少なくとも1つに、あらかじめ定義されたタイムスロットの間にアクセスする。次に、上記の論理回路と上記の用意されたメモリ回路の少なくとも1つをターゲットシステムに結合し、結合されたターゲットシステムを作動することにより、上記の分割されたプロトタイプ回路定義をエミュレートする。